

## KOREAN PATENT ABSTRACTS (KR)

### PUBLICATION

(11) Publication No.: 1997-0077486      (43) Publication Date: 12 December 1997  
(21) Application No.: 1996-0016259      (22) Application Date: 15 May 1996  
(51) IPC Code: H01L 21/76

(71) Applicant:  
Samsung Electronics Co., Ltd.

(54) Title of the Invention:

Method of Separating Trench Device in Semiconductor Device

(57) Abstract:

Provided is a method of isolating a trench device in a semiconductor device. In the method, a stress buffer layer and an etch stopper are sequentially deposited on a semiconductor substrate for isolation of devices in the semiconductor device; the stress buffer layer and the etch stopper are patterned until an isolation area is exposed on the semiconductor substrate, so as to form a stress buffer layer pattern and an etch stopper pattern; a portion of exposed sidewalls of the stress buffer layer pattern is etched by wet etching to form an undercut; and a trench is formed by etching the semiconductor substrate to a predetermined depth with the etch stopper layer pattern as a mask. Accordingly, a corner of a trench can be rounded using a simple process, thereby preventing the hump phenomenon and the reverse ravine phenomenon from occurring in the semiconductor device.

특1997-0077486

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특1997-0077486  
H01L 21/76 (43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0016259  
(22) 출원일자 1996년05월15일  
(71) 출원인 삼성전자 주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 이한신  
경기도 용인시 기흥읍 농서리 산 24  
박문한  
경기도 안양시 동안구 관양동 1587-5 공작아파트 202동 908호  
신유균  
서울특별시 강남구 도곡동 진달래아파트 7동 1005호  
(74) 대리인 이영필, 권석훈, 노민식

**심사청구 : 있음**

**(54) 반도체 장치의 트렌치 소자 분리 방법**

**요약**

본 발명은 반도체 장치의 트렌치 소자 분리 방법에 관한 것으로, 본 발명에서는 반도체 장치의 소자 분리를 위하여 반도체 기판 상에 스트레스 완충층 및 식각 방지층을 차례대로 적층하고, 상기 반도체 기판의 소자분리 영역이 노출되도록 상기 식각 방지층 및 스트레스 완충층을 패터닝함으로써 식각 방지층 패턴 및 스트레스 완충층 패턴을 형성고, 상기 스트레스 완충층 패턴의 노출된 측벽을 습식 식각에 의해 일부 식각하여 언더컷을 형성하고, 상기 식각 방지층 패턴을 마스크로 하여 상기 반도체 기판을 소정의 깊이로 식각하여 트렌치를 형성하는 단계를 포함한다. 본 발명에 의하여, 비교적 단순한 공정에 의해 트렌치의 코너 부분이 라운딩됨으로써, 반도체 장치에서 헵프 현상 및 역협폭 효과가 발생하는 것을 효과적으로 방지할 수 있다.

**도표도**

**도8**

**명세서**

[발명의 명칭]

반도체 장치의 트렌치 소자 분리 방법

[도면의 간단한 설명]

제6도는 내지 제9도는 본 발명의 바람직한 실시예에 따른 반도체 장치의 트렌치 소자 분리방법을 설명하기 위한 단면도들이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1.** 반도체 기판 상에 스트레스 완충층 및 식각 방지층을 차례대로 적층하는 단계와, 상기 반도체 기판의 소자 분리 영역이 노출되도록 상기 식각 방지층 스트레스 완충층을 패터닝함으로써 식각 방지층 패턴 및 스트레스 완충층 패턴을 형성하는 단계와, 상기 스트레스 완충층 패턴의 노출된 측벽을 습식 식각에 의해 일부식각하여 언더컷을 형성하는 단계와, 상기 식각 방지층 패턴을 마스크로 하여 상기 반도체 기판을 소정의 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 측벽에 산화막을 형성하는 단계와, 상기 트렌치를 메립하기 위한 절연 물질을 증착하는 단계와, 상기 식각 방지층 패턴이 노출될 때까지 상기 절연 물질은 CMP(Chemical Mechanical Polishing)공정을 이용하여 평탄화하는 단계와, 상기 식각 방지층 패턴 및 스트레스 완충층 패턴을 차례로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

**청구항 2.** 제1항에 있어서, 상기 트렌치 측벽에 산화막을 형성하는 단계는 습식 산화 분위기 또는 건식 산화 분위기에서 행하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

**청구항 3.** 제1항에 있어서, 상기 스트레스 완충층은 열산화막으로 형성하는 것을 특징으로 하는 반도체

체 장치의 트렌치 소자 분리 방법.

**청구항 4.** 제1항에 있어서, 상기 식각 방지층은 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

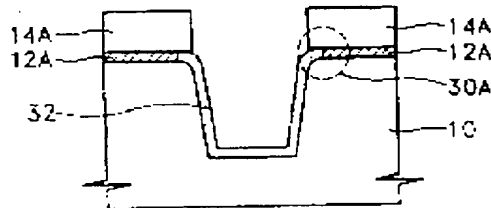
**청구항 5.** 제1항에 있어서, 상기 트렌치를 매립하기 위한 절연 물질은 CVD(Chemical Vapor Deposition)에 의해 증착된 산화막으로 형성하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법

**청구항 6.** 반도체 기판 상에 스트레스 완충층 및 식각 방지층 차례대로 적층하는 단계와, 상기 반도체 기판의 소자 분리 영역이 노출되도록 상기 식각 방지층 및 스트레스 완충층 패터닝함으로써 식각 방지층 패턴 및 스트레스 완충층 패턴을 형성하는 단계와, 상기 식각 방지층 패턴을 마스크로 하여 상기 반도체 기판을 소정의 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 스트레스 완충층 패턴의 노출된 측벽을 습식 식각에 의해 일부 식각하여 언더컷을 형성하는 단계와, 상기 트렌치의 측벽에 산화막을 형성하는 단계와, 상기 트렌치를 매립하기 위한 절연 물질을 증착하는 단계와, 상기 식각 방지층 패턴이 노출될 때까지 상기 절연물질을 CMP공정을 이용하여 평탄화하는 단계와, 상기 식각 방지층 패턴 및 스트레스 완충층 패턴을 차례로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법

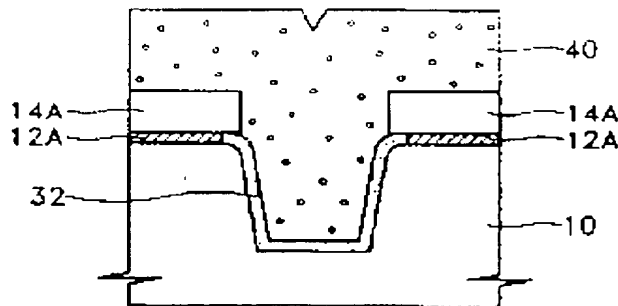
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

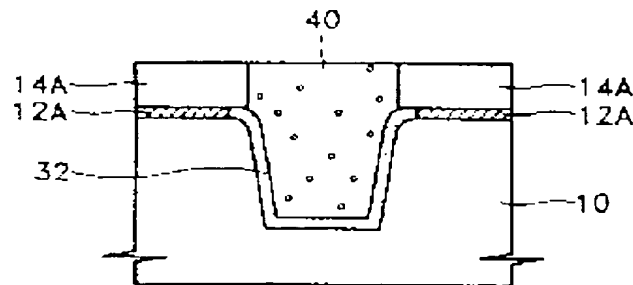
도면6



도면7



도면8



도면9

